INFORMATION CITED BY APPLICANTS THAT MAY BE MATERIAL TO THE PROSECUTION OF THE SUBJECT APPLICATION

Applicant: Eung-Soo Kim, Jang-Kyu Kang, Jee-Soo Mok, John-Tae Lee, Chang-Kyu Song, Byung-Kook Sun

Attorney Docket No. LEPA121686

Title: METHOD OF FABRICATING MULTI-LAYERED PRINTED CIRCUIT BOARD

U.S. PATENT DOCUMENTS

*Examiner Initials	Cite No.	Document No.	Kind Code	Date (mm/dd/yyyy)	Name
	None				

FOREIGN PATENT DOCUMENT

*Examiner Initial	Cite No.	Document No.	Kind Code	Publication Date (mm/dd/yyyy)	Country	English Abstract Provided	Translation Provided
________	F1	WO 01/39267	A1	May 31, 2001	WIPO	X	

OTHER INFORMATION
(Including Author, Title, Date, Pertinent Pages, Etc.)

*Examiner Initial	Cite No.
	None

Examiner ______________________

Date Considered ______________________

*Examiner: Initial if reference considered, whether or not citation is in conformance with M.P.E.P. § 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

JEN:hjd

LAW OFFICES OF
CHRISTENSEN O'CONNOR JOHNSON KINDNESS^{PLLC}
1420 Fifth Avenue
Suite 2800
Seattle, Washington 98101
206.682.8100

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2001 年5 月31 日 (31.05.2001)

PCT

(10) 国際公開番号
WO 01/39267 A1

(51) 国際特許分類⁷: H01L 23/12

(21) 国際出願番号: PCT/JP00/08291

(22) 国際出願日: 2000 年11 月24 日 (24.11.2000)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願平 11/335534 1999 年11 月26 日 (26.11.1999) JP
特願平 2000-245648 2000 年8 月14 日 (14.08.2000) JP
特願平 2000-245649 2000 年8 月14 日 (14.08.2000) JP
特願平 2000-245650 2000 年8 月14 日 (14.08.2000) JP
特願平 2000-245656 2000 年8 月14 日 (14.08.2000) JP

(71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒503-0917 岐阜県大垣市神田町2丁目1番地 Gifu (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 浅井元雄 (ASAI, Motoo) [JP/JP]. 苅谷　隆 (KARIYA, Takashi) [JP/JP]; 〒501-0601 岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社内 Gifu (JP).

(74) 代理人: 小川順三, 外(OGAWA, Junzo et al.); 〒104-0061 東京都中央区銀座2丁目8番9号 木挽館銀座ビル Tokyo (JP).

(81) 指定国 (国内): CN, KR, US.

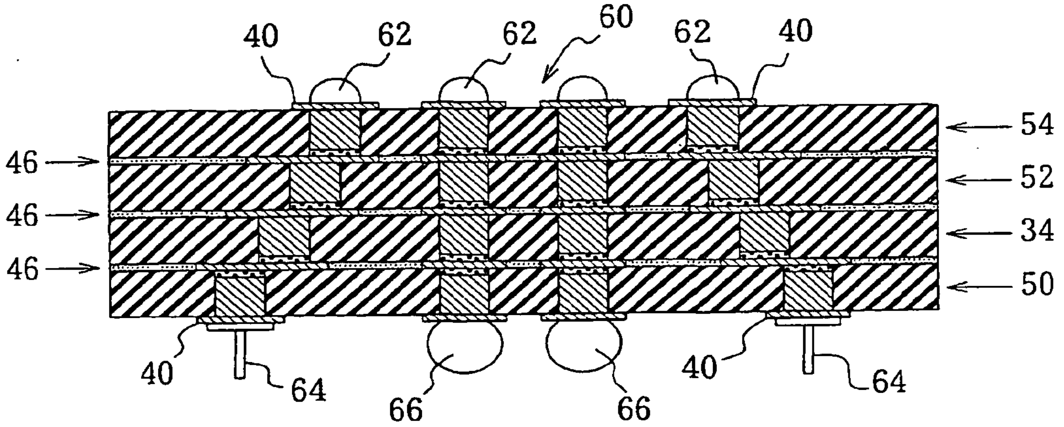
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: MULTILAYER CIRCUIT BOARD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 多層回路基板および半導体装置



(57) **Abstract:** A multilayer circuit board comprises a plurality of unit boards of insulating hard material united with adhesive layers by hot pressing, each including conductor circuits on one or both sides and via holes filled with conductor reaching the conductor circuits. One of the outermost unit boards has conductive bumps on the via holes in the surface, while the other has conductive pins or balls on the via holes in the surface. The multilayer circuit board may serve as a package substrate on which electronic parts such as an LSI chip are mounted to form a semiconductor device. The multilayer circuit board may also serve as a core substrate, on one or both sides of which a buildup wiring layer is formed, and one of the outermost conductor circuits of the buildup wiring layer is provided with solder bumps while the other is provided with conductive pins or balls. This results in a multilayer circuit board suited to high-density wiring and mounting.

[続葉有]

대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0020761
Application Number

출원년월일 : 2003년 04월 02일
Date of Application APR 02, 2003

출원인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.

2003 년 04 월 29 일

특 허 청

COMMISSIONER

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.02
【발명의 명칭】	병렬적 다층 인쇄회로기판 제조 방법
【발명의 영문명칭】	Method for fabricating the multi layer PCB in parallel
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철 ,이인실,최재승,신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	김응수
【성명의 영문표기】	KIM,Eung Soo
【주민등록번호】	680319-1066925
【우편번호】	360-770
【주소】	충청북도 청주시 상당구 용암동 건영아파트 103동 605호
【국적】	KR
【발명자】	
【성명의 국문표기】	강장규
【성명의 영문표기】	KANG,Jang Kyu
【주민등록번호】	580504-1462416
【우편번호】	305-761
【주소】	대전광역시 유성구 전민동 엑스포아파트 306동 1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	목지수
【성명의 영문표기】	MOK,Jee Soo
【주민등록번호】	700430-1110011

【우편번호】	361-815
【주소】	충청북도 청주시 흥덕구 복대동 2459번지 두진백로아파트 103동 405 호
【국적】	KR
【발명자】	
【성명의 국문표기】	이존태
【성명의 영문표기】	LEE,John Tae
【주민등록번호】	720414-1455726
【우편번호】	306-788
【주소】	대전광역시 대덕구 와동 와동주공아파트 115동 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	송창규
【성명의 영문표기】	SONG,Chang Kyu
【주민등록번호】	701115-1405521
【우편번호】	300-836
【주소】	대전광역시 동구 홍도동 89-13
【국적】	KR
【발명자】	
【성명의 국문표기】	선병국
【성명의 영문표기】	SUN,Byung Kook
【주민등록번호】	620505-1530326
【우편번호】	158-755
【주소】	서울특별시 양천구 목5동 목동5단지아파트 509동 303호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 청운특허법인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	14 면 14,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】	408,000	원		

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 다층 인쇄회로기판의 제조 방법에 관한 것이다. 보다 구체적으로, 본 발명은 종래의 소위 빌드업(build-up) 방식에 의한 직렬 다층 인쇄회로기판 제조 방법과 달리 복수의 회로층 및 절연층을 독립된 프로세스에 의해 병렬적으로 형성한 뒤 이들을 일괄적으로 적층하여 다층 인쇄회로기판을 제조하는 다층 인쇄회로기판 제조 방법에 관한 것이다.

【대표도】

도 7

【색인어】

다층 인쇄회로기판, 병렬, 일괄 적층

【명세서】

【발명의 명칭】

병렬적 다층 인쇄회로기판 제조 방법{Method for fabricating the multi layer PCB in parallel}

【도면의 간단한 설명】

도1a 내지 1m은 종래의 다층 인쇄회로기판 제조 방법 중 빌드업 방식으로 다층 인쇄회로기판을 제조하는 과정을 나타낸다.

도2a 내지 2e는 종래 기술에 따른 내층 회로 중 회로층의 형성 방법을 나타낸다.

도3a 내지 3d는 본 발명의 일 실시예에 따라 미세홀 도금법에 의해 회로층을 형성하는 방법을 나타낸다.

도4a 내지 4d는 본 발명의 일 실시예에 따라 도전성 페이스트 충진법에 의해 회로층을 형성하는 방법을 나타낸다.

도5a 내지 5d는 본 발명의 일 실시예로서 종래 기술에 따른 절연층 형성 방법을 나타낸다.

도6a 내지 6d는 본 발명의 일 실시예로서 반 경화 상태의 절연층을 추가로 포함하는 절연층 형성 방법을 나타낸다.

도7은 형성된 회로층 및 절연층이 적층을 위해 배열된 상태이다.

도8은 본 발명의 병렬적 제조 방법에 따라 완성된 6층 인쇄회로기판을 나타낸다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 다층 인쇄회로기판(MLB; Multi Layer PCB)의 제조 방법에 관한 것이다. 보다 구체적으로, 본 발명은 종래의 소위 빌드업(build-up) 방식에 의한 다층 인쇄회로기판 제조 방법과 달리 복수의 회로층(회로 패턴이 형성되는 층) 및 절연층(회로층 간을 절연시키는 층)을 병렬적으로 독립적인 프로세스에 의해 형성한 뒤 이들을 일괄적으로 적층하여 다층 인쇄회로기판을 제조하는 것을 특징으로 하는 다층 인쇄회로기판 제조 방법에 관한 것이다.

<10> 전자제품이 소형화, 박판화, 고밀도화, 팩키지(package)화 및 개인휴대화로 경박단소화되는 추세에 따라 다층 인쇄회로기판 역시 미세패턴(fine pattern)화, 소형화 및 팩키지화가 동시에 진행되고 있다. 이에 다층 인쇄회로기판의 미세패턴 형성, 신뢰성 및 설계밀도를 높이기 위해 원자재의 변경과 함께 회로의 층구성을 복합화하는 구조로 변화하는 추세이고, 부품 역시 DIP(Dual In-Line Package) 타입에서 SMT(Surface Mount Technology) 타입으로 변경되면서 그 실장밀도 역시 높아지고 있는 추세이다. 또한 전자기기의 휴대화와 더불어 고기능화, 인터넷, 동영상, 고용량의 데이터 송수신 등으로 인쇄회로기판의 설계가 복잡해지고 고난이도의 기술을 요하게 된다.

<11> 인쇄회로기판에는 절연기판의 한쪽 면에만 배선을 형성한 단면 PCB, 양쪽 면에 배선을 형성한 양면 PCB 및 다층으로 배선한 MLB(다층 인쇄회로기판;Multi Layered Board)가 있다. 과거에는 부품 소자들이 단순하고 회로 패턴도 간단하여 단면 PCB를 사용하였

으나, 최근에는 회로의 복잡도 증가하고 고밀도 및 소형화 회로에 대한 요구가 증가하여 대부분 양면 PCB 또는 MLB를 사용하는 것이 일반적이다. 본 발명은 이들 중 MLB의 제조 방법에 관한 것이다.

<12> MLB는 배선 영역을 확대하기 위해 배선이 가능한 층을 추가로 형성한 것이다. 구체적으로, MLB는 내층과 외층으로 구분되며 내층의 재료로서 박판코어(Thin Core; T/C)를 사용하고, 외층과 내층을 프리플렉으로 접착한 구조의 4층 MLB(내층 2층, 외층 2층)가 기본이다. 즉, 다층 인쇄회로기판은 최소 4층 이상이다. 회로의 복잡도 증가에 따라 6층,8층,10층 이상으로 구성되기도 한다.

<13> 내층에는 전원회로, 접지회로, 신호회로 등을 형성하며, 내층과 외층간 또는 외층 사이에는 프리플렉을 끼워 넣어 절연과 접착을 행한다. 이때, 각 층의 배선은 비아홀(도통홀)을 이용하여 연결한다.

<14> MLB는 배선밀도를 획기적으로 늘릴 수 있다는 큰 장점이 있으나, 그 만큼 제조 공정이 복잡하게 되는 어려움이 있다. 특히 내층은 종래의 빌드업 방식에 따른 경우 공정이 완료되면 변형이 불가능하므로 내층에 오류가 있는 경우 완성된 모든 제품이 불량으로 되어 버린다. 이러한 오류를 미연에 방지하기 위해 많은 검사장치가 개발되어 사용되고 있다.

<15> 도1a 내지 1m에는 종래의 빌드업(build-up) 방식에 따른 6층짜리 MLB의 제조 방법이 도시되어 있다. 빌드업 방식이라 함은 말 그대로 먼저 내층을 형성하고, 그 위에 추가적으로 외층들을 한층씩 쌓아나가는 방식의 제조 방법을 말한다.

<16> 도1a는 가공되기 전의 동박 적층판(CCL;Copper Clad Laminate)(101)의 단면도이다. 절연층(103)에 동박(102)이 입혀져 있다. 동박 적층판이라 함은 일반적으로 인쇄회로기판의 제조되는 원판으로서 절연층에 얇게 구리를 입힌 얇은 적층판을 말한다.

<17> 동박 적층판의 종류에는 그 용도에 따라, 유리/에폭시 동박적층판, 내열수지 동박적층판, 종이/페놀 동박적층판, 고주파용 동박적층판, 플렉시블 동박적층판(폴리이미드 필름) 및 복합 동박적층판 등 여러 가지가 있으나, 양면 PCB 및 다층 PCB 제작에는 주로 유리/에폭시 동박 적층판이 사용된다.

<18> 유리/에폭시 동박적층판은 유리 섬유에 에폭시 수지(Epoxy Resin:수지와 경화제의 배합물)을 침투시킨 보강기재와 동박으로 만들어진다. 유리/에폭시 동박적층판은 보강기재에 따라 구분되는데, 일반적으로 FR-1~FR-5와 같이 NEMA(National Electrical Manufacturers Association: 국제전기공업협회)에서 정한 규격에 의해 보강기재와 내열성에 따른 등급이 정해져 있다. 이들 등급 중에서, FR-4가 가장 많이 사용되고 있으나, 최근에는 수지의 Tg(유리전이 온도) 특성 등을 향상시킨 FR-5의 수요도 증가하고 있다.

<19> 도1b에서, 동박적층판(101)에 드릴링 가공에 의해 층간 접속을 위한 비아홀(104)을 형성한다.

<20> 도1c에서, 무전해 동도금 및 전해 동도금을 행한다. 이때, 무전해 동도금을 먼저 행하고 그 다음 전해 동도금을 행한다. 전해 동도금에 앞서 무전해 동도금을 실시하는 이유는 절연층 위에서는 전기가 필요한 전해 동도금을 실시할 수 없기 때문이다. 즉, 전해 동도금에 필요한 도전성 막을 형성시켜주기 위해서 그 전처리로서 얇게 무전해 동도금을 한다. 무전해 동도금은 처리가 어렵고 경제적이지 못한 단점이 있기 때문에, 회로 패턴의 도전성 부분은 전해 동도금으로 형성하는 것이 바람직하다.

<21> 그리고 나서, 비아홀(104)의 내벽에 형성된 무전해 및 전해 동도금층(105)을 보호하기 위해 페이스트(106)를 충진한다. 페이스트는 절연성의 잉크재질을 사용하는 것이 일반적이나, 인쇄회로기판의 사용 목적에 따라 도전성 페이스트도 사용될 수 있다. 도전성 페이스트는 주성분이 Cu, Ag, Au, Sn, Pb 등의 금속을 단독 또는 합금 형식으로 유기 접착제와 함께 혼합한 것이다. 그러나, 이와 같은 페이스트 충진 과정은 MLB의 제조 목적에 따라 생략될 수 있다.

<22> 도1c에는, 설명을 위해 무전해 동도금 층 및 전해 동도금층(105)이 구별되지 않고 하나의 층으로 도시되어 있다.

<23> 그리고 나서, 도1d에서, 내층 회로의 회로 패턴 형성을 위한 에칭 레지스트(107)의 패턴을 형성한다.

<24> 레지스트 패턴을 형성하기 위해서는 아트워크 필름에 인쇄된 회로 패턴을 기판 상에 전사하여야 한다. 전사하는 방법에는 여러 가지 방법이 있으나, 가장 흔히 사용되는 방법으로는 감광성의 드라이 필름을 사용하여 자외선에 의해 아트 워크 필름에 인쇄된 회로 패턴을 드라이 필름으로 전사하는 방식이다. 최근에는 드라이 필름 대신에 LPR(Liquid Photo Resist)을 사용하기도 한다.

<25> 회로 패턴이 전사된 드라이 필름 또는 LPR은 에칭 레지스트(107)로서 역할을 하게 되고, 기판을 에칭액에 담궈 주면, 도1e에 도시된 바와 같이, 회로 패턴이 형성된다.

<26> 회로 패턴을 형성하고 나면, 여기에 내층 회로가 제대로 형성되었는가를 검사하기 위해 AOI(Automatic Optical Inspection)등의 방법으로 회로의 외관을 검사하고, 흑화(Black Oxide) 처리 등의 표면처리를 행한다.

<27> AOI(Automatic Optical Inspection)는 자동으로 PCB의 외관을 검사하는 장치이다. 이 장치는 영상 센서와 컴퓨터의 패턴 인식 기술을 이용하여 기판의 외관상태를 자동으로 검사한다. 영상센서로 검사대상 회로의 패턴정보를 읽어 들인 후 이를 기준데이터와 비교하여 불량을 판독한다.

<28> AOI 검사를 이용하면, 랜드(PCB의 부품이 실장될 부분)의 에뉼러 링(Annular ring)의 최소치 및 전원의 접지 상태까지 검사할 수 있다. 또한, 배선패턴의 폭을 측정할 수 있고 홀의 누락도 검사할 수 있다. 다만 홀 내부의 상태를 검사하는 것은 불가능하다.

<29> 흑화처리는 배선패턴이 형성된 내층을 외층과 접착시키기 전에 접착력 및 내열성의 강화를 위해 행하는 공정이다.

<30> 도1f에서, 기판의 양면에 RCC(Resin Coated Copper)를 적층한다. RCC는 수지층(108)의 한쪽 면에만 동박층(109)이 형성된 기판으로서, 수지층(108)은 회로층 간의 절연체 역할을 한다.

<31> 도1g에서, 내층과 외층간의 접기 접속 역할을 하는 블라인드 비아홀(110)을 가공한다. 이 블라인드 비아홀은 기계적 드릴링을 사용할 수도 있으나, 관통홀을 가공할 때보다 정밀한 가공을 요하므로 YAG(Yttrium Aluminum Garnet)레이저나 CO_2 레이저를 이용하는 것이 바람직하다. YAG 레이저는 동박층 및 절연층 모두를 가공할 수 있는 레이저이고, CO_2 레이저는 절연층만 가공할 수 있는 레이저이다.

<32> 도1h에서, 도금 공정에 의해 외층(111)을 적층한다.

<33> 도1i에서, 위 도1h에서 적층한 외층(111)에 전술한 내층의 회로 패턴 형성 방법과 마찬가지 방법을 사용하여 외층에 회로 패턴을 형성한다. 그리고 나서, 내층 회로 패턴을 형성한 후와 마찬가지로, 다시 회로 검사 및 표면 처리를 행한다.

<34> 도1j에서, 기판의 양면에 추가적인 외층 적층을 위한 RCC를 적층한다. 이 RCC는 역시 수지층(112) 및 한쪽 면에 동박층(113)을 포함하고, 수지층(112)은 다른 회로층과의 절연체 역할을 한다.

<35> 도1k에서, 전술한 바와 같은 레이저 드릴링에 의해 원래 외층과 추가 외층간의 접속을 위한 블라인드 비아홀(114)을 가공한다.

<36> 도1l에서, 도금 공정에 의해 추가적인 외층(115)을 적층한다.

<37> 도1m에서, 추가된 외층에 전술한 방법에 따라 회로 패턴을 형성하고, 회로 검사 및 표면 처리를 실시한다.

<38> 더 많은 층수의 인쇄회로기판을 만드는 경우에는 위와 같은 적층, 회로 패턴 형성, 회로 검사 및 표면 처리를 추가적으로 반복해 나가게 된다.

<39> 다 적층하였으면, 최종적으로 형성된 회로에 포토 솔더 레지스트를 도포하고, Ni/Au층을 도금하면 6층짜리 MLB가 완성된다.

<40> 다른 기판이나 칩과 접속될 부분을 제외한 나머지 부분에 포토 솔더 레지스트(PSR) 패턴을 형성하고, 여기에 Ni/Au를 도금하면, 상기 포토 솔더 레지스트 패턴이 도금 레지스트로 작용하여 다른 기판이나 칩과 접속될 부분에만 Ni/Au가 도금된다. 먼저 Ni을 도금하고 그 위에 Au를 도금한다. 이는 기판에 대한 최종적 마무리로서, 솔더 레지스트로

덮이지 않고 노출된 동박부위가 산화되는 것을 방지하고, 실장되는 부품의 납땜성을 향상시키며, 좋은 전도성을 부여하기 위한 것이다.

<41> 기존의 인쇄회로기판의 제조 방법은 최근의 경박단소화 추세에 대처하기에는 한계가 있고, PCB의 고기능화에 대응하여 다층화 되면서 제조 단가 또한 급격히 증가하고 있다. 하지만 제품에 대한 전자 부품의 판매 가격은 상대적으로 하락하고 있으며 급속한 발전과 더불어 제작 기간도 단축될 것이 요구된다.

<42> 이러한 경향에 대해 전술한 바와 같이, 기존의 빌드업 공법에 따른 레이저에 의해 비아홀을 가공한 후 내벽을 도금하여 층간을 접속하고 순차적으로 쌓아가는 제조 방법으로 공정 단가를 최소화 하기에는 많은 문제점이 있고 기판의 제작 기간을 단축하는 데도 한계가 있다.

<43> 이와 같은 종래의 빌드업 공법은 제품이 고다층으로 제작될 경우 레이저 비아홀 가공과 적층, 도금 공정 그리고 검사 및 표면 처리 공정을 순차적으로 반복함으로써 제작기간이 길어지고 제품의 중간 검사가 어려워 불량에 대한 비용이 상승하여 제조 단가가 증가하게 되는 단점이 있다.

<44> 또한, 종래에는 다층 인쇄회로기판에서의 회로층에는 층간의 전기 접속을 위해 비아홀을 가공하고, 그 내벽을 동도금한 후 도금층을 보호하기 위해 내벽을 페이스트로 충진(plugging)하는 방법을 사용하였으나, 이러한 플러깅 방법에 의하면, 비아홀을 가공한 후 동도금 외에 플러깅 공정이 추가로 요구된다.

<45> 또한, 다층 인쇄회로기판에서 유전체인 수지로 구성되는 절연층은 회로층에 비해 큰 임피던스를 갖게 되고, 이 임피던스는 회로 동작에 영향을 미치게 된다. 이러한 절

연층의 임피던스 값은 절연층의 두께 편차, 수지의 특성, 즉 유전율이나 질량 및 부피에 의해 영향을 받는다. 이러한 절연층의 임피던스를 용이하게 조절할 수 있는 방법이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<46> 본 발명의 목적은, 이와 같은 종래의 빌드업 공법의 단점을 해결하기 위해 회로 패턴이 형성된 회로층과 절연층을 독립된 프로세스에 의해 병렬적으로 형성하고, 이들을 반복 배치후 단 한번의 적층으로 제품을 완성함에 따라 공정 비용을 절감하고, 제작 시간을 최소화하고, 각 층을 개별적으로 작업한 후 내층 회로 검사를 실시함으로써 불량으로 인한 최종 제품에 대한 불량을 최소화하는 것이다.

<47> 본 발명의 또다른 목적은, 상기 본 발명에 따른 다층 인쇄회로기판 제조 방법에서, 회로층 형성시 비아홀을 종래보다 직경이 작게 가공하여 도금에 의해 비아홀 내부를 채움으로써, 종래의 다층 인쇄회로기판 제조 방법에서의 비아홀 플러깅 공정이 불필요한 다층 인쇄회로기판 제조 방법을 제공하는 것이다.

<48> 본 발명의 또다른 목적은, 상기 본 발명에 따른 다층 인쇄회로기판 제조 방법에서, 절연층 형성시 절연층을 단층으로 하지 않고, 완전 경화 상태(c-stage)의 열경화성 수지층 양면에 반 경화 상태(b-stage)의 열경화성 수지층을 적층한 형태의 절연층을 사용함으로써 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법에서의 성형성을 좋게 하고, 절연층에 보다 높은 비유전율을 제공하고 그에 따라 임피던스 균형성을 향상시키는 것이다.

【발명의 구성 및 작용】

<49> 본 발명에 따른 다층 인쇄회로기판의 제조 방법은,

<50> 소정 수의 회로층을 형성하는 단계;

<51> 상기 회로층을 형성하기 이전 또는 이후에 절연층을 형성하는 단계; 및

<52> 상기 회로층과 절연층을 교대로 기(旣) 설정된 위치에 배치하여 압착하는 단계를 포함한다.

<53> 이하 도면을 참조하여 본 발명을 보다 상세히 설명한다.

<54> 도7은 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법을 집합적으로 나타낸 도면이다. 회로층(306a,306b,306c)과 절연층(506a,506b)을 독립적인 프로세스로(즉, 병렬적으로) 형성한 뒤에, 도7에 도시된 바와 같이 배치하고, 도시된 화살표 방향으로 압착 가공하여, 도8에 도시된 바와 같은 6층짜리 MLB를 제조하게 된다.

<55> 본 발명에 따른 병렬적으로 형성되는 회로층 및 절연층 각각의 제조 방법을 살펴본다.

<56> 도2a 내지 도2e는 본 발명의 병렬적 다층 인쇄회로기판 제조 방법에서, 다층 인쇄회로기판을 구성하는 층 중 회로층을 제조하는 방법 중 한 실시예를 나타낸다.

<57> 도2a에는 통상적인 동박적층판(201)이 도시되어 있으며, 절연층(203)의 양쪽에 동박(202)이 입혀져 있다.

<58> 도2b에 도시된 바와 같이, 동박적층판(201)에 비아홀(204)을 드릴링 가공한다.

<59> 그리고 나서, 도2c에 도시된 바와 같이, 무전해 동도금 및 전해 동도금을 행하여, 도전층(205)을 형성한다.

<60> 그리고, 도2d에 도시된 바와 같이, 비아홀 보호를 위해 비아홀을 페이스트(206)로 메움 처리(plugging)한다. 페이스트로는 본 명세서의 종래 기술에서 설명한 바와 같이, 절연성의 잉크 재질을 사용할 수도 있고, 도전성 페이스트를 사용할 수 있다. 또한, 이 메움 처리 과정은 다층 인쇄회로기판의 제조 목적에 따라 생략될 수 있다.

<61> 그리고 나서, 도2e에 도시된 바와 같이, 에칭 등의 공지된 회로 패턴 형성 방법에 의해 회로 패턴을 형성한다.

<62> 이와 같이 가공된 회로층은 본 발명에 따른 도7의 회로층(306a,306b,306c) 중 하나로 사용될 수 있으며, 본 발명에 따른 제조 방법에서 회로층의 회로 패턴은 절연층과의 결합을 고려하여 그 정확한 위치 및 치수가 미리 설계되어야 한다.

<63> 또한, 제조하고자 하는 다층 인쇄회로기판의 층수에 따라 그 수가 결정된다. 예컨대, 4층 인쇄회로기판에서는 2개의 회로층이 필요하게 되며, 6층 인쇄회로기판에서는 3개, 8층에서는 4개의 회로층이 필요하다.

<64> 도3a 내지 도3d는 본 발명의 병렬적 다층 인쇄회로기판 제조 방법에서, 다층 인쇄회로기판을 구성하는 층 중 회로층을 제조하는 방법의 또다른 실시예로서, 본 발명에 따른 미세홀을 가공한 후 도금에 의해 비아홀을 매립함으로써 회로층을 제조하는 방법을 나타낸다.

<65> 도3a에는 통상적인 동박적층판(301)이 도시되어 있고, 절연층(303)의 양쪽에 동박(302)이 입혀져 있다.

<66> 전술한 바와 같이 동박적층판에는 여러 가지 종류가 있으나, 이 실시예에서는, 그 중에서도 동박의 두께가 3-5㎛ 정도로 얇은 것을 사용한다. 레이저 드릴링 또는 미세

홀 기계 가공에 의해 직경이 상대적으로 작은 미세 관통홀을 가공하기 위해서이다. 즉, 미세 관통홀을 가공하여야 하기 때문에 동박의 두께가 얇아야 한다.

<67> 도3b에서, 동박적층판에 미세 관통홀(304)을 가공한다. 관통홀은 YAG 또는 CO_2레이저를 사용하여 직경을 50-100㎛ 정도로 가공한다. 통상적인 다층 인쇄회로기판에서 비아홀의 직경은 200-300㎛이나, 이와 같이 관통홀의 직경을 작게하면 페이스트의 플러깅 처리 과정을 생략할 수 있다.

<68> 도3c에서, 관통홀이 가공된 동박적층판에 무전해 도금 및 전해 도금에 의해 기판의 상면, 하면 및 관통홀의 내벽을 도금한다. 도3c에 도시된 바와 같이, 기판의 상면 및 하면에는 도금층(305)이 형성되고, 미세 관통홀은 도금에 의해 매립된다.

<69> 종래에는 관통홀을 가공할 때, 비아홀의 플러깅이 요구되는 경우에, 도2a 내지 도2e에 도시된 방식과 같이, 무전해 도금 및 전해 도금으로 내벽을 도금한 후에 절연성 잉크 등으로 나머지 공간을 충진하는 방식을 사용하였으나, 여기서는 처음부터 비아홀을 직경이 작게 가공하고 전기 도금에 의해 관통홀 자체를 매립하게 된다.

<70> 따라서, 본 발명에 따른 이 실시예에서는 인쇄회로기판의 제조 목적에 따라 플러깅 처리가 요구되는 경우에도 페이스트의 플러깅 처리를 생략할 수 있다.

<71> 도3d에서, 에칭 등의 회로 패턴 형성 방법을 사용하여 회로 패턴을 형성한다. 이렇게 형성된 회로층(306)은 본 발명에 따른 병렬적 제조 방법에서 도7의 회로층(306a,306b,306c)으로 사용될 수 있다.

<72> 도4a 내지 도4d는 본 발명의 병렬적 다층 인쇄회로기판 제조 방법에서, 다층 인쇄회로기판을 구성하는 층 중 회로층을 제조하는 방법의 또다른 실시예로서, 비아홀을 도전성 페이스트로 충진함으로써 회로층을 제조하는 방법을 나타낸다.

<73> 도4a에는 통상적인 동박적층판(401)이 도시되어 있고, 절연층(403)의 양쪽에 동박(402)이 입혀져 있다.

<74> 여기에, 마찬가지로 도4b에 도시된 바와 같이, 드릴링에 의해 비아홀(404)을 가공한다.

<75> 그리고 나서, 도4c에 도시된 바와 같이, 비아홀(404)을 도전성 페이스트(405)로 충진한다.

<76> 그리고 나서, 도4d에 도시된 바와 같이, 에칭 등 기타 회로 패턴 형성 방법에 의해 회로 패턴을 형성한다. 이와 같이, 이 실시예에서는 회로층 형성 방법에서는 도금 공정이 없다.

<77> 마찬가지로, 이와 같이 형성된 회로층(406)은 본 발명에 따른 도7의 회로층(306a,306b,306c) 중 하나로 사용될 수 있다.

<78> 도2a 내지 도2e, 도3a 내지 도3d 및 도4a 내지 도4d를 참조하여 설명된 방법에 의해 완성된 각각의 회로층들에 AOI 등의 회로 검사, 적층을 위한 표면 처리 등의 후처리를 실시한다.

<79> 이하 본 발명에 따른 병렬적 다층 인쇄회로기판 제조 방법에서, 인쇄회로기판을 구성하는 층 중 절연층의 제조 방법을 설명한다.

<80> 도5a 내지 도5d는 본 발명에 따른 병렬적 다층 인쇄회로기판에서, 다층 인쇄회로기판을 구성하는 층 중 절연층을 형성하는 방법의 한 실시예로서, 종래 기술에 따른 절연층 형성 방법을 나타낸다.

<81> 도5a에는 프리플렉(503)의 양면에 이형 필름(502)이 부착된 평판형 절연재(501)가 도시되어 있다. 프리플렉의 두께는 제품의 사양에 따라 선택적으로 사용할 수 있으며, 이형 필름의 두께는 20-30㎛로 프리플렉 제작 당시에 이미 부착되어 있는 것을 사용할 수도 있고 경우에 따라서는 이형 필름을 접착하여도 된다.

<82> 도5b에서, 평판형 절연재(501)에 드릴링에 의해 관통홀(504)을 가공한다. 이때 관통홀은 바람직하게는 기계적 드릴링을 사용한다. 관통홀의 직경은 회로층과의 접속을 고려하여 회로층의 비아홀의 직경보다 약간 크게 가공하는 것이 바람직하다. 전술한 회로층 가공 방법 중 도3a 내지 도3d를 참조하여 설명된 미세 관통홀을 도금에 의해 매립시키는 방법으로 제조된 회로층과 접속될 절연층의 비아홀은 직경 약 100㎛정도로 가공한다.

<83> 도5c에서, 관통홀(504)을 페이스트(505)로 충진하고, 도5d에서, 이형 필름(502)을 제거한다.

<84> 마찬가지로, 이렇게 형성된 절연층(506)은 본 발명에 따른 병렬적 인쇄회로기판의 제조 방법에서, 도7의 절연층(607a, 607b) 중 하나로 사용될 수 있다.

<85> 도6a 내지 도6d는 본 발명에 따른 병렬적 다층 인쇄회로기판에서, 절연층을 형성하는 방법의 또다른 실시예로서, 본 발명에 따른 절연층 형성 방법을 나타낸다.

<86> 이 실시예가 도5a 내지 도5d에 도시된 방법과 다른 점은 절연층이 단층이 아니고, 완전 경화된 상태(c-stage)의 열경화성 수지의 양면에 반경화 상태(b-stage)의 열경화성 수지를 적층한 것이라는 점이다.

<87> 도6a에는 이 실시예에 따른 평판형 절연재(601)가 도시되어 있다. 완전 경화 상태의 수지(604)의 양측에 반 경화 상태의 수지(603)가 적층되어 있고, 그 위에 이형 필름(602)이 입혀져 있다.

<88> 다층 인쇄회로기판에서 유전체인 수지로 구성되는 절연층은 회로층에 비해 큰 임피던스를 갖게 되고, 이 임피던스는 회로 동작에 영향을 미치게 된다. 이러한 절연층의 임피던스 값은 절연층의 두께 편차, 수지의 특성, 즉 유전율이나 질량 및 부피에 의해 영향을 받는데, 이와 같이 반 경화 상태의 수지를 한층 더 입힌 절연체를 사용하면 보다 임피던스를 보다 용이하게 제어할 수 있고, 본 발명에 따른 다층 인쇄회로기판의 제조방법에 있어서, 회로층과의 결합시 보다 양호한 성형성을 확보할 수 있다.

<89> 도6b에서, 상기 평판형 절연재(601)에 드릴링에 의해 관통홀(605)을 형성한다.

<90> 도6c에서, 관통홀(605)에 페이스트(606)를 충진하고, 도6d에서 이형 필름(602)을 제거한다.

<91> 마찬가지로, 이렇게 형성된 절연층(607)은 본 발명에 따른 도7의 절연층(607a, 607b) 중 하나로 사용될 수 있다.

<92> 절연층도 본 발명에 따른 병렬적 다층 인쇄회로기판에서 결합될 회로층의 회로 패턴을 고려하여 미리 정밀하게 그 위치 및 패턴이 설계되어야 한다. 또한, 제조하고자 하는 다층 인쇄회로기판의 층수에 따라 그 수가 결정된다. 예컨대, 4층 인쇄회로기판에

서는 1개, 6층 인쇄회로기판에서는 2개, 8층에서는 3개의 절연층이 필요하다. 종래의 빌드업 방식의 제조 방식에서, 4층 인쇄회로기판에는 2층의 절연층, 6층 인쇄회로기판에서는 4층의 절연층이 존재하는 것과 다르다.

<93> 도7에 도시된 바와 같이, 도2a 내지 도2e, 도3a 내지 도3d 또는 도4a 내지 도4d의 방법에 의해 형성된 회로층과, 도5a 내지 도5d 또는 도6a 내지 도6d에 의해 형성된 절연층을 교대로 배치한다.

<94> 배치된 층들을 비아홀들이 정확하게 매칭되도록 맞추고 다듬기 위해 타겟팅 및 트리밍 등의 방법이 사용된다.

<95> 타게팅이란 드릴 가공의 기준점인 내층의 '타깃 가이드 마크'에 타겟 구멍을 가공하는 공정으로 보통 X-Ray에 의한 타겟 드릴을 사용한다.

<96> 트리밍(Trimming)은 적층이 완료된 기판의 가장자리에 흘러나온 수지와 동박을 다듬어 제품의 긁힘 및 안전사고를 예방하기 위한 처리를 말한다.

<97> 그리고 나서, 도7에 도시된 바와 같이, 배열된 회로층 및 절연층을 도시된 화살표 방향으로 압축 프레스로 압착하여 한꺼번에 적층하면 도8에 도시된 바와 같은 6층 MLB가 완성된다.

<98> 적층된 각 층들을 한 장의 인쇄회로기판으로 만드는 프레스로는 '열 프레스'가 많이 사용된다. 이는 적층된 기판을 케이스에 넣고 진공 챔버의 상하에서 열판에 끼워 가압/가열하는 방법으로 적층을 행한다. 이 방법을 VHL(Vacuum Hydraulic Lamination)법이라고 한다.

<99> 그 밖에 진공 챔버에 가열원으로 전열히트를 설치하고, 가스를 사용하여 가압한 상태에서 적층하는 진공 프레스도 있다. 이 방법은 열판을 필요로 하지 않기 때문에 층수에 관계없이, 예를 들면, 6층,8층,10층으로 두께가 달라도 한번에 적층할 수 있어 소량생산에 유리하다.

<100> 종래의 빌드업 방식으로 제조된 다층 인쇄회로기판의 경우는, 하나의 양면 인쇄회로기판에 절연층이 적층되고 그 위에 단면 인쇄회로기판이 차례로 적층된 구조를 갖게 되지만, 본 발명의 병렬적 제조 방법에 따라 제조된 다층 인쇄회로기판의 경우에는 복수개의 양면 인쇄회로기판이 절연층을 사이에 두고 연속적으로 적층된 구조를 갖는다.

<101> 이러한 차이점에 의해 완성된 인쇄회로기판이 어떠한 제조 방식으로 제조되었는지 판별할 수 있다.

【발명의 효과】

<102> 전자 산업의 발달과 더불어 전자 부품 산업도 급속히 발전하여 대부분의 제품이 경박 단소화 및 고기능화되고 있다. 기존의 인쇄회로기판의 제조 방법은 이러한 경박단소화에 한계가 있고 고기능화에 대응하여 다층화 되면서 제조 단가 또한 급격히 증가하고 있다. 하지만 제품에 대한 전자 부품의 판매 가격은 상대적으로 하락하고 있으며 급속한 발전과 더불어 제작 기간도 단축될 것이 요구된다.

<103> 이러한 경향에 대해 종래의 빌드업 공법에 따른 MLB 제조 방법은 은 제품이 고다층으로 제작될 경우 레이저 비아홀 가공과 적층, 그리고 도금 공정을 순차적으로 반복하므

로써 제작 기간이 길어지고 제품의 중간 검사가 어려워 불량에 대한 비용이 상승하고 제조 기간이 증가하게 되는 단점이 있다.

<104> 본 발명에 따르면, 이와 같은 단점을 해결하는 동시에, 동박 적층판에 관통홀을 가공한 후 도금으로 도통홀을 충진하므로써, 비아홀 플러깅 공정을 생략하고, 회로가 형성된 회로층과 절연재를 반복 배치후 단 한번의 적층으로 제품을 완성함에 따라 공정 비용을 절감하고, 제작 시간을 최소화하고, 각 층을 개별적으로 작업한 후 내층 회로 검사를 실시하므로써 불량으로 인한 최종 제품에 대한 불량을 최소화할 수 있다.

<105> 또한, 종래의 방법에 의하면 비아홀 설계시 인쇄회로기판 제조 공정 상의 한계로 설계 자유도가 크게 저하되는데 반해, 본 발명에 따른 제조 방법에 의해 인쇄회로기판을 제조하는 경우에, 이러한 제약 조건을 극복 가능하고, 따라서 배선 길이의 단축, 원하는 층간의 선택적 도통 설계가 가능해짐에 따라 제품 면적 및 층수의 감소를 기대할 수 있다.

<106> 본 발명의 회로층 가공에 있어서, 비아홀의 직경을 작게하여 도금에 의해 그 직경이 작은 미세홀을 매립함으로써, 플러깅 공정이 생략되어 공정의 단순 고속화가 가능하다.

<107> 본 발명의 절연층 가공에 있어서, 완전 경화 상태의 수지 양측에 반 경화 상태의 수지가 입혀진 절연층을 사용함으로써, 절연층의 임피던스에 의한 영향을 줄일 수 있고, 회로층과의 결합시 보다 나은 성형성을 확보할 수 있다.

<108> 이상, 본 발명을 실시예를 통해 설명하였으나, 이 실시예들은 본 발명의 범위를 한정하는 것이 아니고, 당업자는 이 실시예들에 본 발명의 범위 내에서 다양한 변형을 가할 수 있다. 본 발명의 범위는 이하의 청구범위의 해석을 통해서 한정된다.

【특허청구범위】

【청구항 1】

소정 수의 회로층을 형성하는 단계;

상기 회로층을 형성하기 이전 또는 이후에 절연층을 형성하는 단계; 및

상기 회로층과 절연층을 교대로 기(旣) 설정된 위치에 배치하여 압착하는 단계를 포함하는 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

【청구항 2】

제1항에 있어서, 상기 회로층은,

동박적층판에 관통홀을 가공하는 단계;

상기 동박적층판 및 관통홀의 내벽을 동도금하는 단계; 및

상기 동박적층판에 회로 패턴을 형성하는 단계를 거쳐 형성되는 양면 인쇄회로기판인 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

【청구항 3】

제2항에 있어서, 상기 동도금하는 단계 다음에 상기 관통홀의 내부를 페이스트로 충진하는 단계를 더 포함하는 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

【청구항 4】

제1항에 있어서, 상기 회로층은,

동박적층판에 관통홀을 가공하는 단계;

동도금에 의해 상기 동박적층판 및 관통홀의 내벽을 동도금하여 관통홀의 내부를 구리로 채우는 단계; 및

상기 동박적층판에 회로 패턴을 형성하는 단계를 거쳐 형성되는 양면 인쇄회로기판인 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

【청구항 5】

제4항에 있어서, 상기 가공되는 관통홀의 직경은 50-100㎛인 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

【청구항 6】

제1항에 있어서, 상기 회로층은,

동박적층판에 관통홀을 가공하는 단계;

상기 동박적층판 및 상기 관통홀의 홀벽을 동도금 하는 단계;

상기 관통홀 내부를 도전성 페이스트로 충진하는 단계; 및

상기 동박적층판에 회로 패턴을 형성하는 단계를 거쳐 형성되는 양면 인쇄회로기판인 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

【청구항 7】

제1항에 있어서, 상기 절연층은,

이형필름이 부착된 평판형 절연재에 관통홀을 가공하는 단계;

상기 관통홀을 페이스트로 충진하는 단계; 및

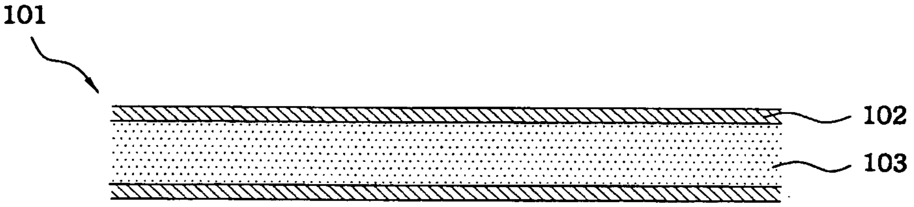
상기 이형 필름을 제거하는 단계를 거쳐 형성되는 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

【청구항 8】

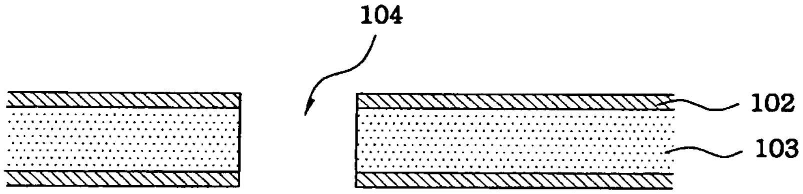
제7항에 있어서, 상기 평판형 절연재는 완전 경화 상태(c-stage)의 수지 양면에 적층된 반경화 상태(b-stage)의 수지층으로 구성되는 것을 특징으로 하는 다층 인쇄회로기판 제조 방법.

【도면】

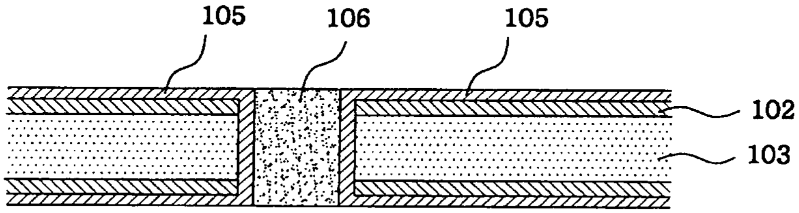
【도 1a】



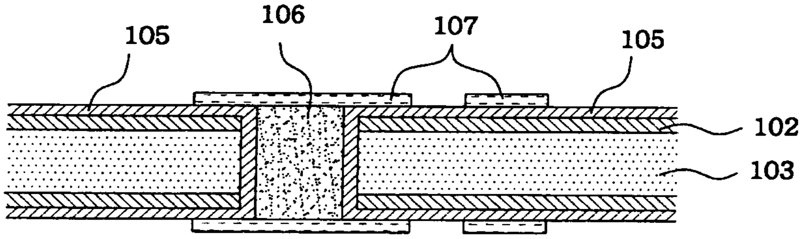
【도 1b】



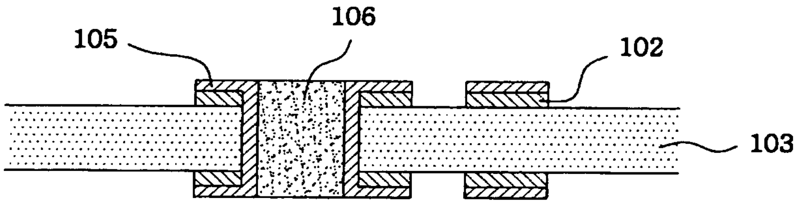
【도 1c】



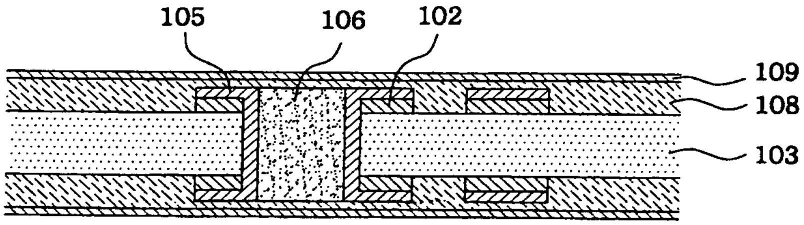
【도 1d】



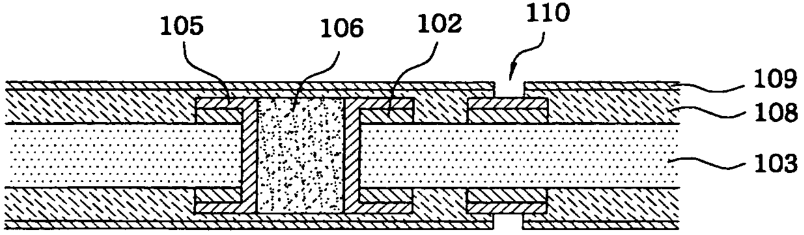
【도 1e】



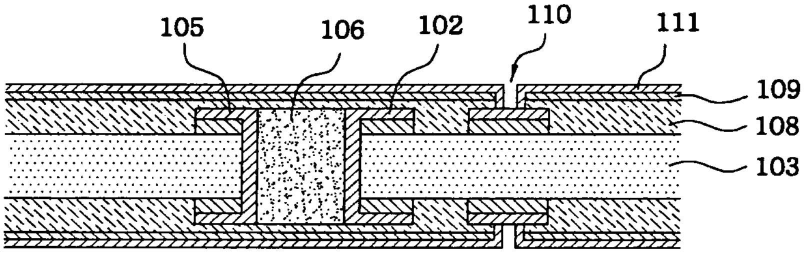
【도 1f】



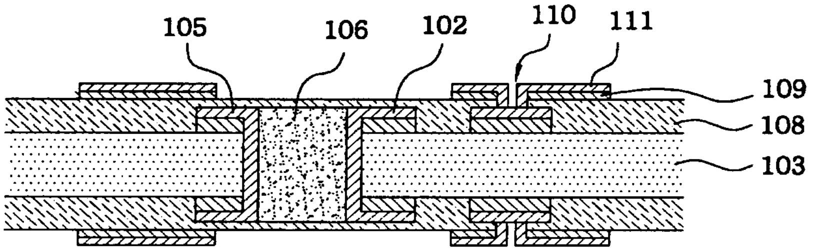
【도 1g】



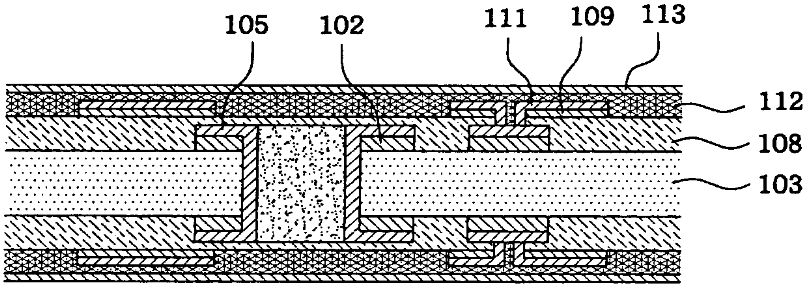
【도 1h】



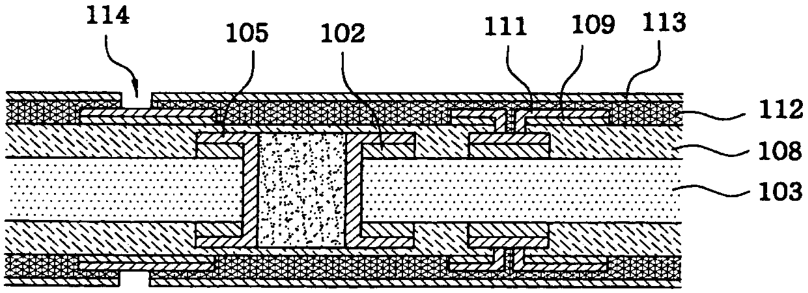
【도 1i】



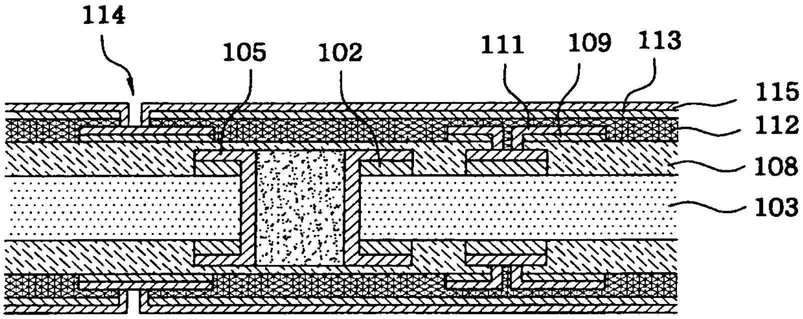
【도 1j】



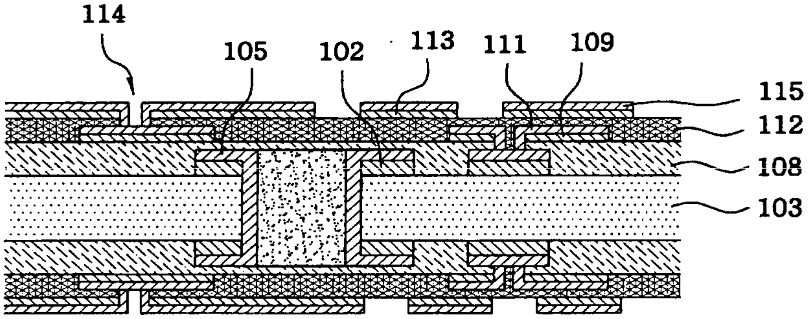
【도 1k】



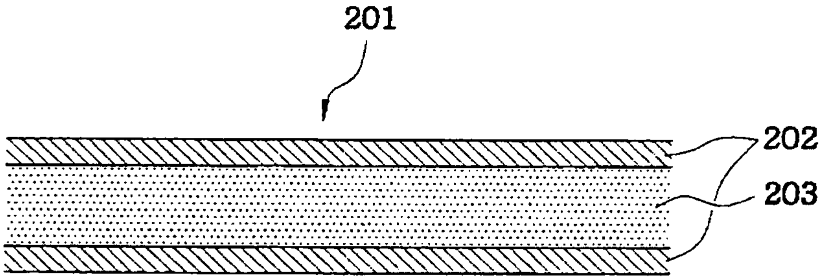
【도 1l】



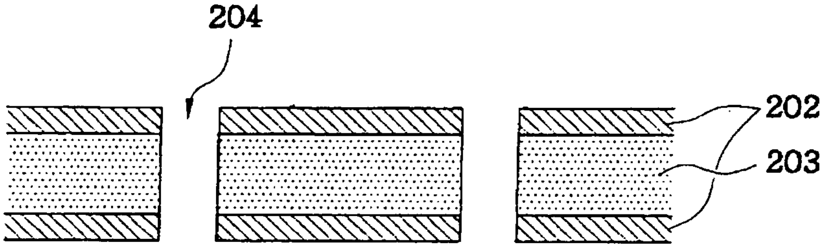
【도 1m】



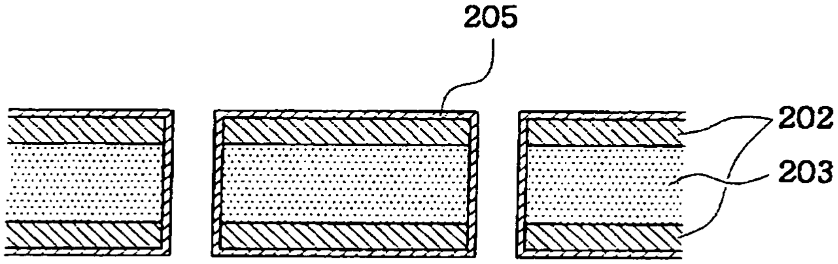
【도 2a】



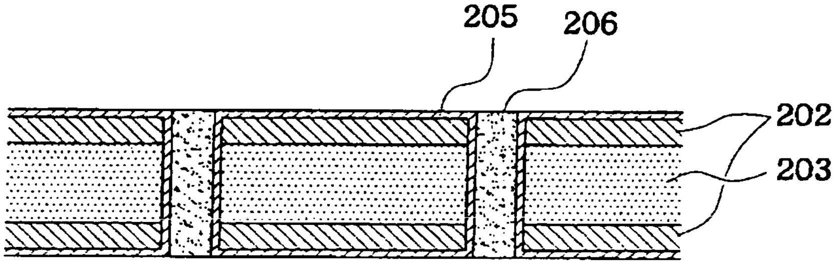
【도 2b】



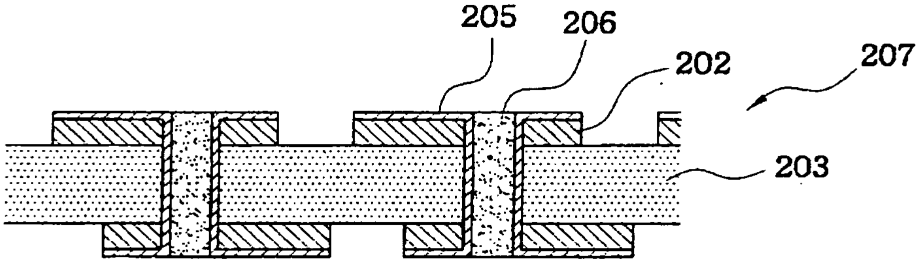
【도 2c】



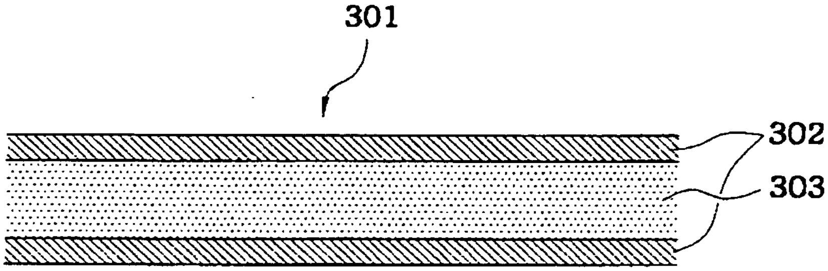
【도 2d】



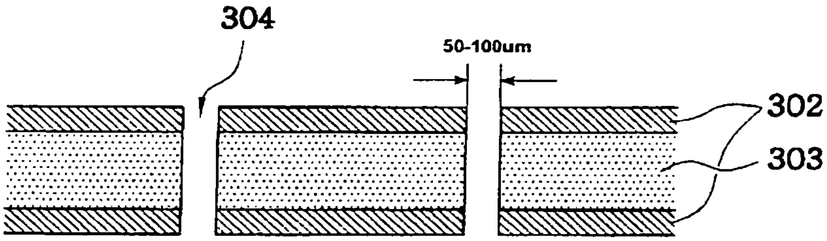
【도 2e】



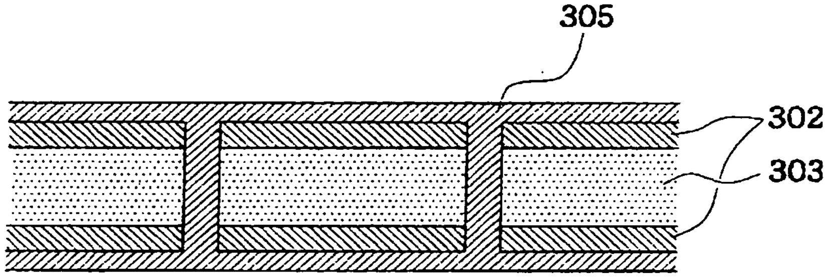
【도 3a】



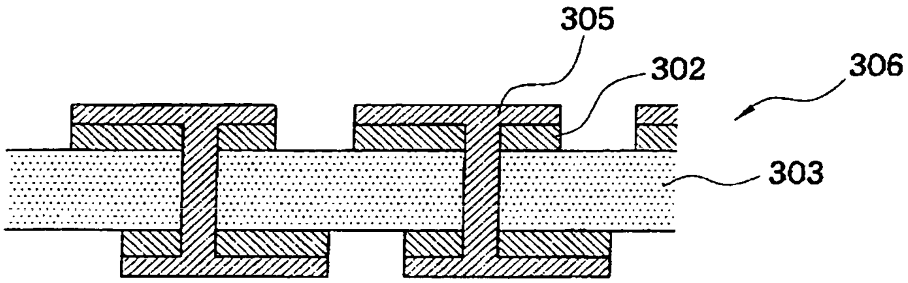
【도 3b】



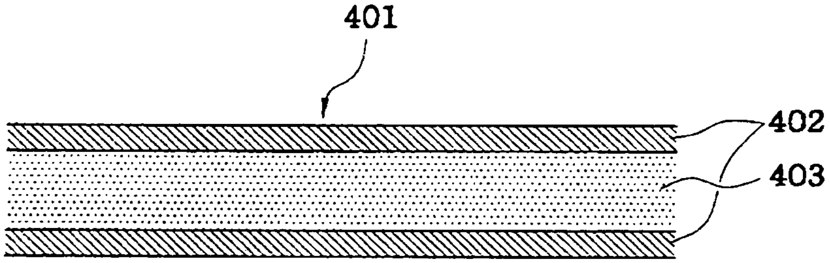
【도 3c】



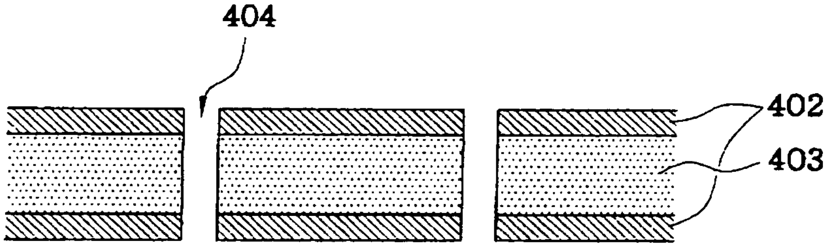
【도 3d】



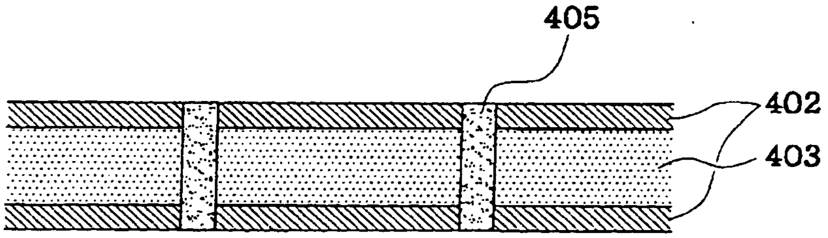
【도 4a】



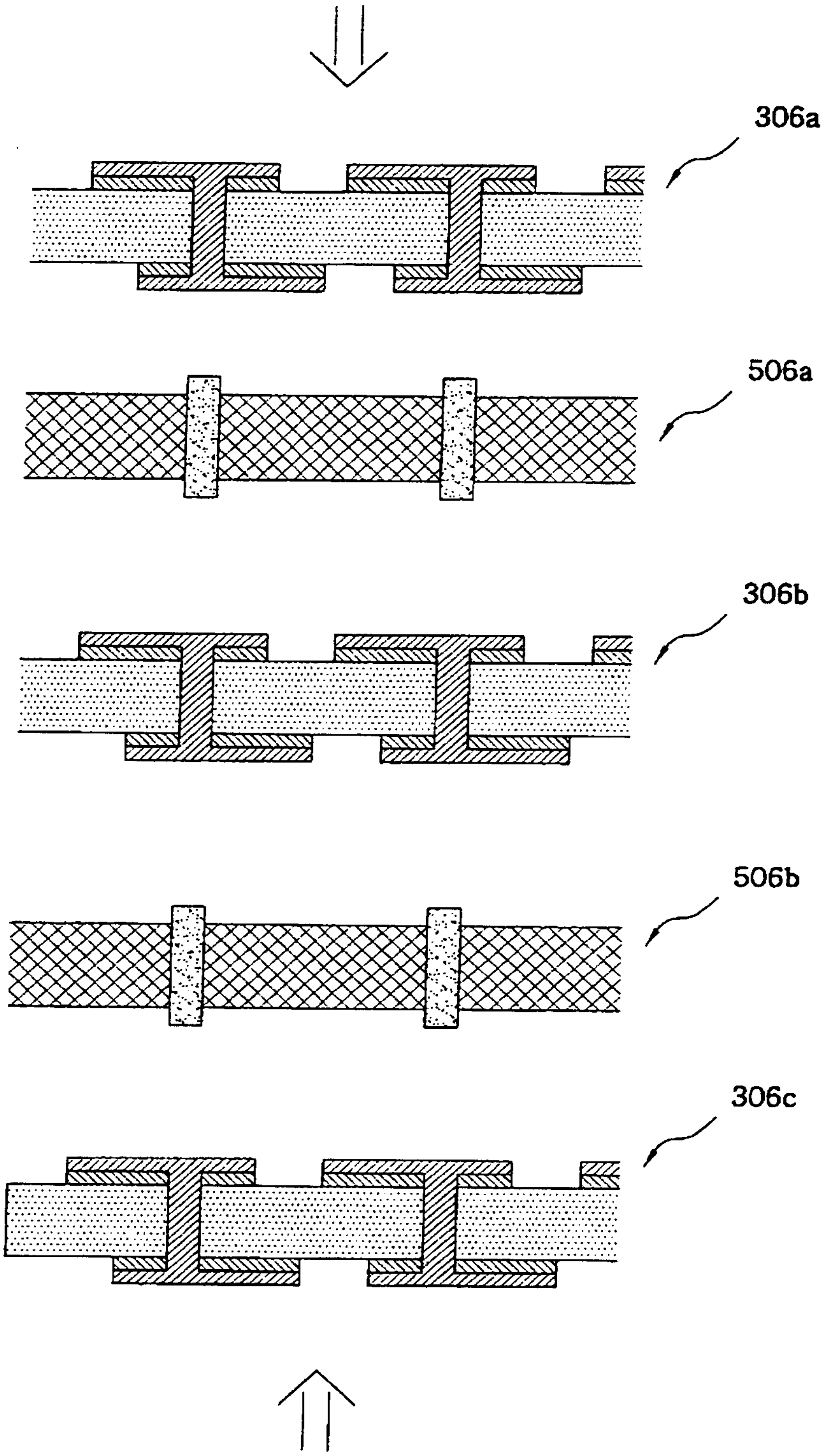
【도 4b】



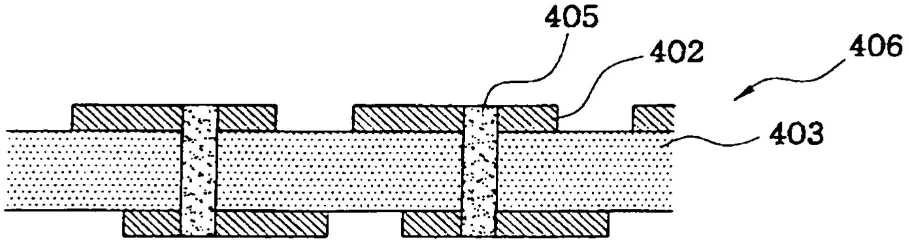
【도 4c】



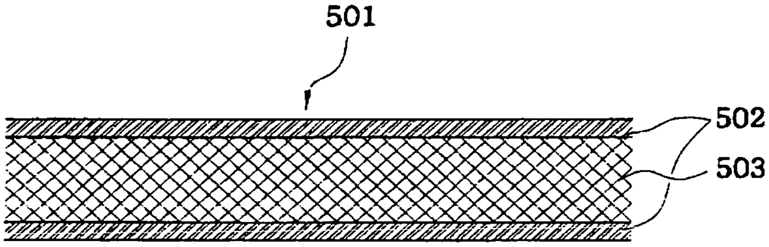
【도 7】



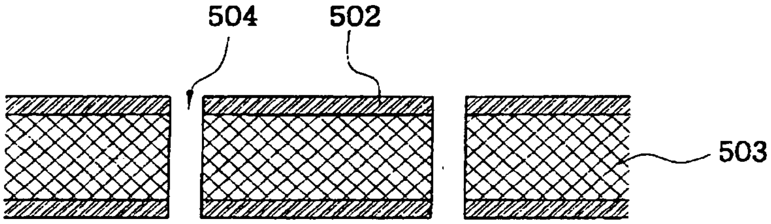
【도 4d】



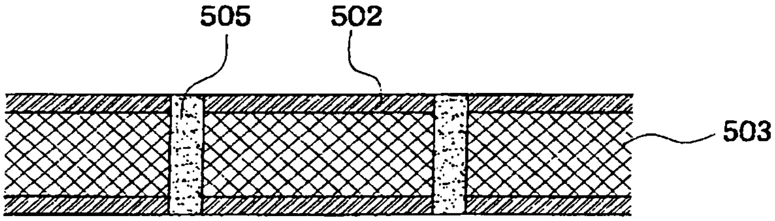
【도 5a】



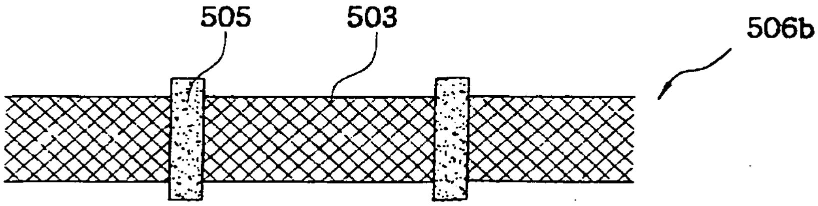
【도 5b】



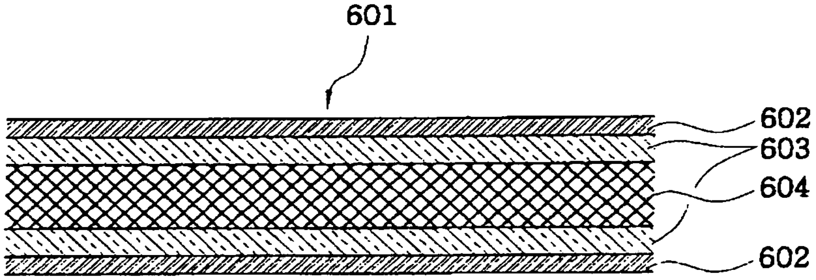
【도 5c】



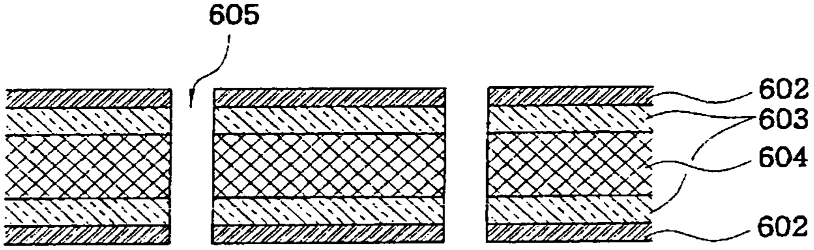
【도 5d】



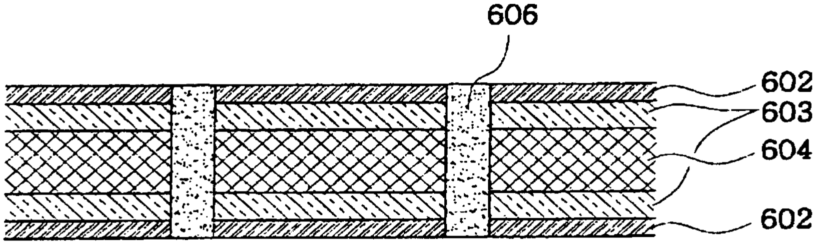
【도 6a】



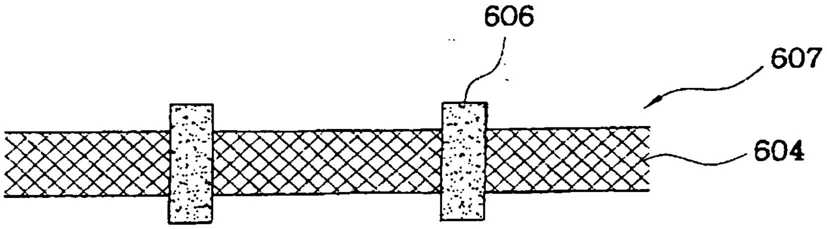
【도 6b】



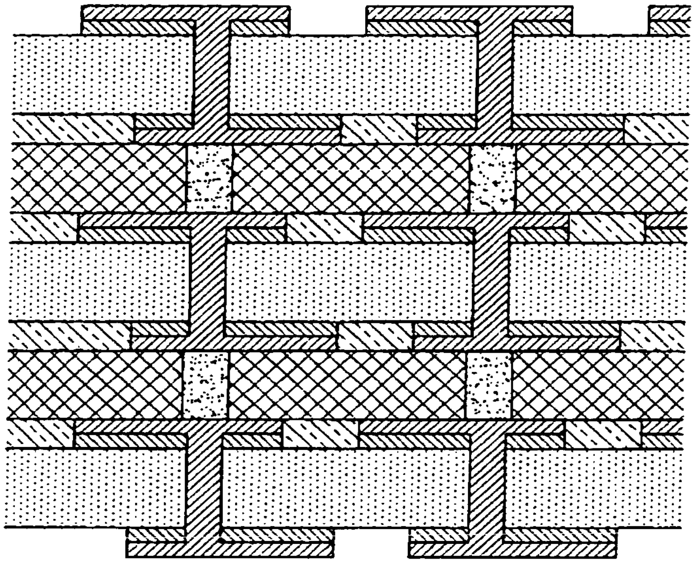
【도 6c】



【도 6d】



【도 8】



<Translation>

THE KOREAN INTELLECTUAL PROPERTY OFFICE

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

Application Number:	2003 Patent Application No. 20761
Date of Application:	April 2, 2003
Applicant(s):	SAMSUNG ELECTRO-MECHANICS CO., LTD.

On this 29th day of April, 2003

COMMISSIONER

<Translation>

APPLICATION FOR PATENT REGISTRATION

Application Number:	2003-20761
Application Date:	April 2, 2003
Title of Invention:	METHOD OF FABRICATING MULTI-LAYERED PRINTED CIRCUIT BOARD
Applicant (s):	SAMSUNG ELECTRO-MECHANICS CO., LTD.
Attorney Name:	LEE & PARK Patent & Law Firm
Inventor(s):	1. Eung-Soo KIM 2. Jang-Kyu KANG 3. Jee-Soo MOK 4. John-Tae LEE 5. Chang-Kyu SONG 6. Byung-Kook SUN

The above Application for Patent Registration is hereby made pursuant to Articles 42 and 60 of the Korean Patent Law.